

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-061656
 (43)Date of publication of application : 12.04.1983

(51)Int.Cl.

H01L 27/04
 H01L 23/56
 H01L 27/08
 // H01L 29/78

(21)Application number : 56-161196
 (22)Date of filing : 09.10.1981

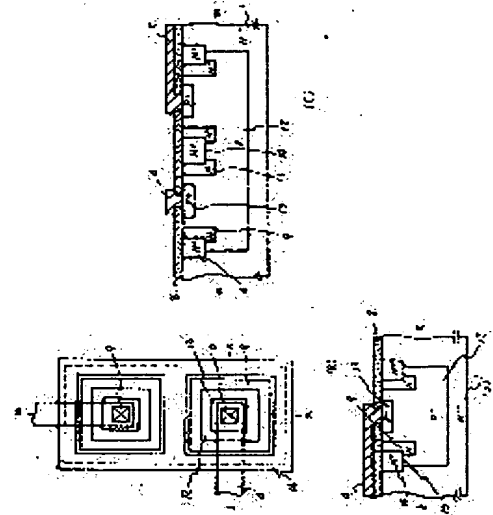
(71)Applicant : NEC CORP
 (72)Inventor : YOSHIHARA SEIJI

(54) INPUT PROTECTION DEVICE

(57)Abstract:

PURPOSE: To contrive the improvement of static breakdown withstand voltages, by miniaturizing a device by using the high resistance part of the deep layer of a P well, and arranging N⁺ layers at the part wherein p-n junctions of the P well and an N type substrate are crossed with the surface and further N⁻ layers in the P well.

CONSTITUTION: By using the P well protective resistant layer 12 for the N⁻ substrate 1, N⁺ layers 14 and N⁻ layers 9 are arranged as fixed, and only the deep layer part of the P⁻ well is utilized as the resistant layer. Thereby, the layer resistance becomes approx. twice of the case of the entire P⁻ well and further several ten times of the conventional P⁺ protective resistance resulting in the miniaturization of the protective resistance. When densities of the N⁻, P⁻, N⁻ layers are respectively 10^{15}cm^{-2} , 10^{16}cm^{-2} , $5 \times 10^{16}\text{cm}^{-2}$, a field oxide film 8 is $0.8\mu\text{m}$ thick, and the P well is $60 \times 90\mu\text{m}^2$, the static breakdown voltage of 500V can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—61656

⑤ Int. Cl.³
H 01 L 27/04
23/56
27/08
// H 01 L 29/78

識別記号

庁内整理番号
8122—5 F
6851—5 F
6370—5 F
7377—5 F

⑬ 公開 昭和58年(1983)4月12日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 入力保護装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—161196

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)10月9日

東京都港区芝5丁目33番1号

⑲ 発 明 者 吉原誠二

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

入力保護装置

2. 特許請求の範囲

一導電型半導体基板に形成された入力保護装置において、入力保護抵抗が逆導電型拡散層の深層部分で形成され、該逆導電型拡散層が基板表面と交わる部分に一導電型高濃度拡散層を有し、かつ該一導電型高濃度拡散層と平面形状が重なり合う一導電型低濃度拡散層を有することを特徴とする入力保護装置。

3. 発明の詳細な説明

本発明は入力保護装置に係り、特に同一基板上にPチャンネル及びNチャンネル絶縁ゲート型電界効果トランジスタを同時に有し、かつその2種のトランジスタを相補型に接続して形成される集積回路(以下CMOS集積回路という)の小型に

して高静電破壊耐圧を有する入力保護装置に関するものである。

CMOS集積回路の入力保護装置は、人体その他の静電気に対してトランジスタのゲート酸化膜の破壊防止を目的としている。第1図(a)~(c)に従来のN型基板に対して形成された入力保護装置の例を示す。従来の入力保護装置においては、N型低濃度基板1にP型高濃度拡散層2を形成し、このP⁺拡散層を入力保護抵抗として用いていた。このような従来の構成では、入力に負電圧が印加された場合、P⁺拡散層2、基板1のダイオードが逆バイアスされ、順バイアスとなる正電圧印加に比較し静電耐圧が低かった。入力保護装置の静電破壊はP-N接合の逆バイアス電流に起因し、一般に接合表面で電界集中が起きやすいため、表面破壊となるのが普通である。また、入力に負電圧印加の場合、入力A₁配線下のN⁻基板が容易に反転して表面での接合耐圧が下がるため、保護抵抗2、チャンネルストップ3の間隙を離すことにより静電耐圧はある程度改善されてきたが、

これは同時に保護装置の面積増大を伴いさらにはベレットサイズの増大の要因となっていた。また一般に保護抵抗としては数 $k\Omega$ の抵抗値を必要とするが、従来構造においてはP型高濃度拡散層2を抵抗として用いるため保護抵抗の長さ方向を大きくとる必要があり、これも保護装置が大型となる要因となっていた。

本発明の目的は、このような従来の欠点を除いた保護装置を提供することにある。

本発明は、例えば保護抵抗としてPウェル深層部の高抵抗領域を用いることにより入力保護装置を小型化するとともに、PウェルとN型基板とにより形成されるPN接合が表面と交わる領域に N^+ 層を設けさらに N^+ 層とPウェル間に N^- 層を介在させることにより表面での接合を P^-N^- 接合とし、静電破壊耐圧を向上させることを特徴としたものであり、以下に図面を用いて詳細に説明する。

第2図(a)~(c)は、本発明の実施例で、第2図(a)は保護装置部分の平面図、第2図(b)、(c)は断面図

を短縮することにより、第5図のように保護抵抗をボンディングパッド内部配線間に配置することが可能となった。入力保護装置のゲート側 Al 配線及び内部配線等、入力パッドと電位の異なる Al 配線はワイヤボンディングによる短絡を避けるため、ボンディングパッドより一定の間隔をとる必要がある。従来、第4図のように保護抵抗はボンディングパッド間に配置されることが一般的であり、そのためボンディングパッド間隔を大きくとる必要があったが、本発明によりこの短点は解消された。従ってボンディングパッド間隔によりベレットサイズが決定されていたようなベレットに対し、一層の小型化が可能となった。

なお、本発明の実施例では、 N^- 基板、 P^- 層、 N^- 層の不純物濃度がそれぞれ $10^{15}cm^{-3}$ 、 $10^{16}cm^{-3}$ 、 $5 \times 10^{16}cm^{-3}$ であり、フィールド酸化膜厚 $0.8\mu m$ 、Pウェル領域が $60\mu m \times 90\mu m$ の入力保護装置に対し、静電破壊耐圧 $500V$ が得られた。

以下余白

である。図において、1は N^- 基板、14は N^+ 高濃度層、9は N^- 低濃度層、12はPウェル保護抵抗層である。本発明の実施例においては、保護抵抗として低濃度のPウェルを用いかつその表面部分に N^- 層10を形成することにより、抵抗層としてPウェルの深層部分のみを利用している。このため、層抵抗としてはPウェル全体の場合の約2倍、さらに従来の P^+ を保護抵抗とする場合と比較すると数10倍の値となり、保護抵抗の小型化が実現できる。なお、第3図(a)~(c)は、本発明者等により既に提示された本発明に関連する入力保護装置を示す。第3図(a)~(c)においては、Pウェルを保護抵抗装置の一部に使用し、 N^+-P^- 接合を最も耐圧の低い接合として、ブレークダウンを表面ではなく、基板内で起し、破壊耐圧の向上を計っている。本発明においてはさらにこの構造を発展させPウェル層を抵抗層全体に使用することにより前述のように小型の入力保護装置を実現できた。

本発明による構造においては、抵抗の長さ方向

4. 図面の簡単な説明

第1図(a)は従来構造の入力保護装置の例であって、第1図(b)及び第1図(c)は、それぞれ第1図(a)のf-g、h-iにおける断面図である。第2図(a)は本発明の実施例であり、第2図(b)及び第2図(c)は、それぞれ第2図(a)のj-k、m-nにおける断面図である。第3図(a)は、本発明に関連のある入力保護装置の例であり、第3図(b)及び第3図(c)はそれぞれ第3図(a)のp-q、r-sにおける断面図である。第4図は従来の入力保護装置の配線例、第5図は本発明の入力保護装置の配線の実施例である。

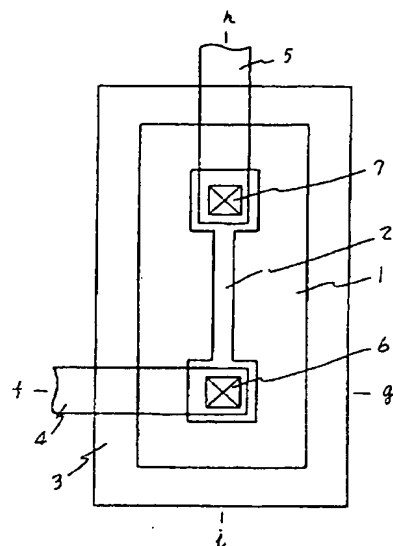
なお図において、1…… N^- 半導体基板、2…… P^+ 保護抵抗、3…… N^+ チャンネルストップ、4……入力 Al 配線、5……ゲート側 Al 配線、6……入力コンタクト、7……ゲート側コンタクト、8……フィールド酸化膜、9…… N^- 層、10……保護抵抗上の N^+ 層、11…… N^- 層、13…… P^+ 層、14…… N^+ 層、15…… P^-N^+ 接合、16……Pウェル、17……従来の

入力保護ブロック、18……ボンディングベッド、
19……本発明の入力保護ブロック、である。

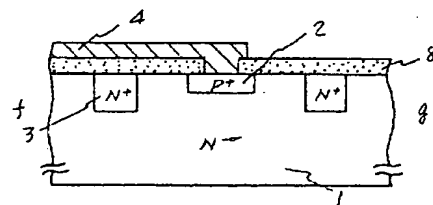
代理人 弁理士 内 原 省



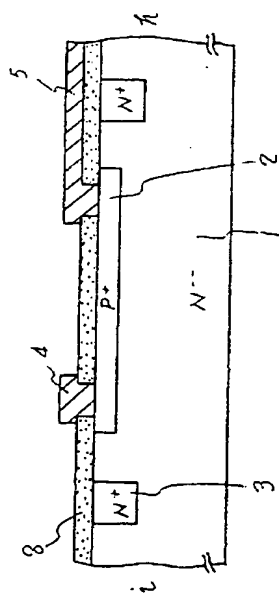
特開昭58-61656(3)



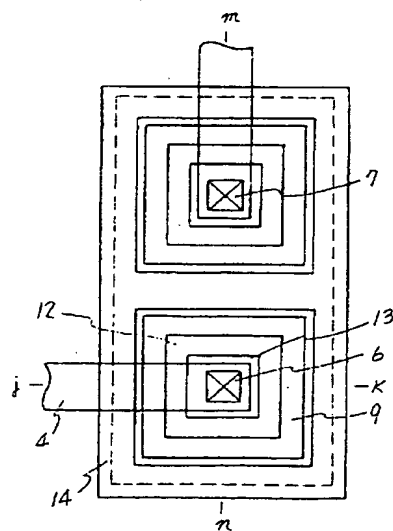
第1図(a)



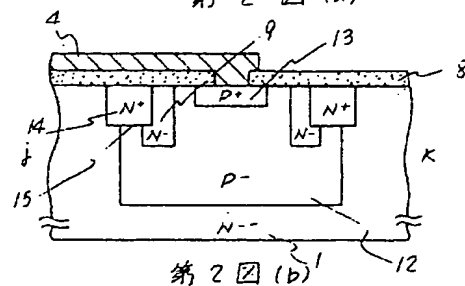
第1図(b)



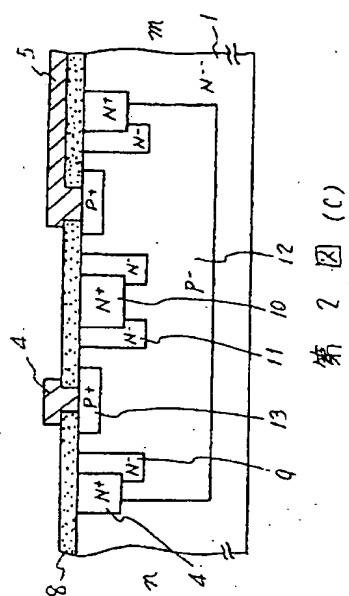
第1図(c)



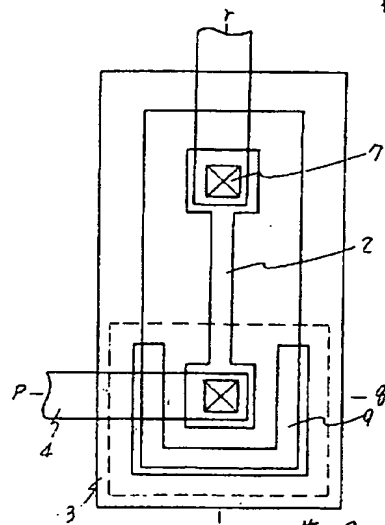
第2図(a)



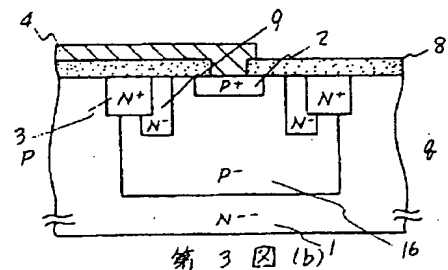
第2図(b)



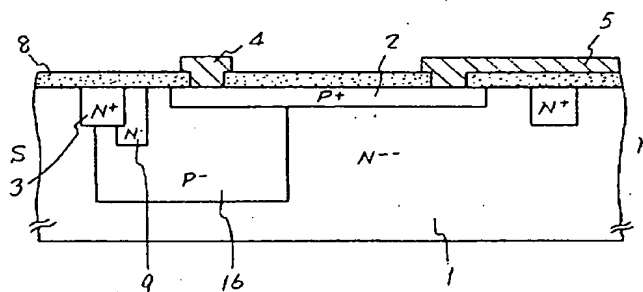
第 2 図 (C)



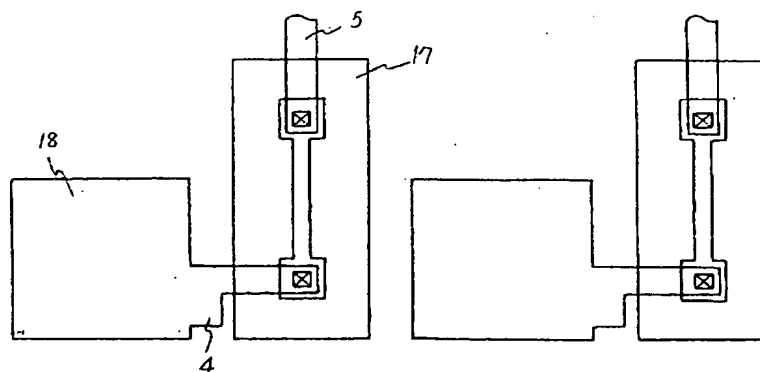
第 3 図 (A)



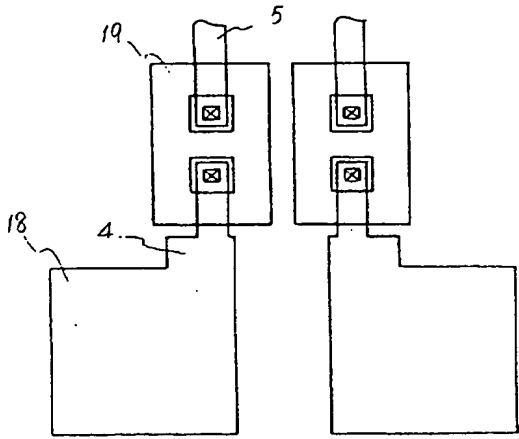
第 3 図 (b)



第 3 図 (C)



第 4 図



第 5 図